

PAT-NO: JP02001358188A /
DOCUMENT-IDENTIFIER: JP 2001358188 A
TITLE: DEFECTIVE CHIP EXCLUDING UNIT OF SEMICONDUCTOR
INTEGRATED CIRCUIT
PUBN-DATE: December 26, 2001

INVENTOR-INFORMATION:
NAME COUNTRY
SASAKI, SATOSHI N/A
OKUGUCHI, MASATO N/A

ASSIGNEE-INFORMATION:
NAME COUNTRY
MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP2000181558
APPL-DATE: June 16, 2000

INT-CL (IPC): H01L021/66, G01R031/26

ABSTRACT:

PROBLEM TO BE SOLVED: To electrically separate an electrically defective chip on a same wafer, without affecting the other non-defective chips in a burn-in inspection in a wafer state.

SOLUTION: A thin-films sheet 2 is adhered onto a semiconductor wafer 1, and the thin-film sheet 2 and a wiring 7 leading to a connection electrode 6 of a core 5 of a defective chip are cut off by laser beams 2 of a laser beams source 3. After all the defective parts within a sheet of wafer are cut off, the thin film sheet 2 is removed. Thus, the defective chip can be removed electrically without scattering scattered scraps 8, when cutting off adjacent chips.

COPYRIGHT: (C)2001,JPO

【特許請求の範囲】

【請求項1】 半導体ウェーハの上に貼りつけた薄膜シートと、前記半導体ウェーハと前記薄膜シートを切断するレーザビームを照射するレーザ光源と、前記半導体ウェーハの切断位置に前記レーザビームを導く偏向ミラーと、前記偏向ミラーの取り付け角度を変更する駆動モータとを有することを特徴とする半導体集積回路の不良チップ除外装置。

【請求項2】 前記半導体ウェーハの切断の際に生ずる切りくずや煙を吸引する吸引ノズルを有することを特徴とする請求項1記載の半導体集積回路の不良チップ除外装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、半導体ウェーハに形成された複数の半導体集積回路に対して、一括してバーンイン検査を行う場合、半導体集積回路の不良チップを電気的に除外する装置に関する。

【0002】

【従来の技術】近年の電子機器の小型化、低価格化に伴い半導体集積回路装置を半導体ウェーハから切り出したままのベアチップ状態で品質を保証し供給する事が望まれている。

【0003】ベアチップに対して品質保証を行う為には、一枚の半導体ウェーハ上に形成された複数の半導体集積回路に対して一括してバーンインを行う事が低コスト化の点で好ましい。

【0004】このため、半導体ウェーハ上に形成された複数の半導体集積回路素子の電極と接続されるプローブ端子を有するコンタクトを用いて、ウェーハ状態で一括バーンインを行う検査方法が知られている。この場合、コンタクト上は全ての電極に対して個別に配線を行うのではなく、共通の電源線及び共通の信号線を設けて半導体回路素子の電極との接続を行う。

【0005】ところが、この共通配線に対して、半導体ウェーハ上の複数の半導体集積回路素子の中に不良の半導体素子がある場合に、電源線あるいは信号線の短絡が生じると、他の良品に対して悪影響を与えることになる。

【0006】半導体チップの検査工程における、ウェーハ一括バーンイン検査では、その事前検査工程において不具合が検出された半導体チップについてはバーンイン検査中に他の良品半導体チップの動作に悪影響を及ぼさないようにするために、プローブの有するバンプと半導体チップの有する接続電極を電気的に切り離す必要がある。その方法の一つとして、従来の不良チップの電気的除外方法は、特開平3-160740号に記載されたものが知られている。

【0007】特開平3-160740号には、図4に示すように、半導体ウェーハの複数のチップ23について

共通に接続されるチップ内共通配線の過電流有無試験を行いその結果を記憶する電流試験工程21と、該チップ内共通配線のレイアウトデータを作成し記憶するレイアウトデータ作成工程24と、記憶されている該試験結果及び該レイアウトデータから、該ウェーハ半導体上の過電流が流れる該共通配線の切断位置26を求める切断位置決定工程25と、求められた該切断位置に切断ビーム28を照射して該配線を切断することにより過電流が流れる共通配線の在る不良チップ23Aを良品チップの該共通配線から切り離す配線切断工程27と、を有する不良チップの切り離し方法が開示されている。この構成によってウェーハ面内の良品チップ及び不良チップの共通配線につながる電源線あるいは信号線を切断ビームを使って切断することにより電気的接続を遮断して、良品チップへの電気的な悪影響を防ぐようになっている。しかしながら、この場合不良チップの切断によって切りくずが飛散し、不良チップのみならず隣接した良品チップの接続電極に切りくずが付着し、プローブ電極との接続の妨げとなりバーンイン検査時の動作に悪影響を及ぼしたり、あるいは、この後の組み立て時に接続電極と周辺回路との接続に悪影響を及ぼすことが懸念される。

【0008】

【発明が解決しようとする課題】上記のように不良チップの共通配線を切断ビームによって切断し、電気的に除外しようとした場合に、その切りくずによって良品チップへも悪影響を及ぼしてしまう。つまりこの後の工程でのワイヤボンディングなどの機械的接続の不良原因となったり、電気的特性の不良原因となったりする可能性が発生する。

【0009】本発明は上記従来の問題を解決するもので、隣接した良品チップへのレーザ切断時の切りくずによる悪影響を防ぐことができるという優れた半導体チップの電気的除外手段を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するための手段として、請求項1に係る発明は、半導体ウェーハの上に貼りつけた薄膜シートと、前記半導体ウェーハと前記薄膜シートを切断するレーザビームを照射するレーザ光源と、前記半導体ウェーハの切断位置に前記レーザビームを導く偏向ミラーと、前記変更ミラーの取り付け角度を変更する駆動モータを有する半導体集積回路の不良チップ除外装置である。

【0011】この構成により、半導体ウェーハの一括バーンイン検査工程において、事前検査の結果不具合が検出されたチップに対し、ウェーハ表面に貼り付けた薄膜の上からレーザを用いて配線を切断するものであるから、切断後に薄膜を取外すことにより切りくずによる隣接チップへの悪影響を防ぎ、不良チップを確実に電気的に切断することができる。

【0012】請求項2に記載の発明は、更に、前記半導

体ウェーハの切断の際に生ずる切りくずや煙を吸引する吸引ノズルを有することを特徴とする請求項1に記載の半導体集積回路の不良チップ除外装置である。

【0013】この構成により、切りくずや煙を吸引して切りくずの飛散を防止し、隣接チップへの悪影響を更に防ぐことができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0015】図1乃至図3に示すように、本発明の不良チップ除外装置は、半導体チップが多数配置された半導体ウェーハ7の接続電極9及び表面保護層8の上にポリイミドの薄膜シート6を貼り付けた状態で、レーザ光源1からミラー3、ガルバノモータ4及びガルバノミラー5によって導かれたレーザビーム2で、薄膜シート6と事前検査工程の結果不具合が検出された半導体チップのコア12への配線10、および半導体ウェーハ7の上層部の一部を切断することにより不良半導体チップへの電氣的接続を遮断するものである。

【0016】この処理を施した状態で、ウェーハ一括バーインの接続プローブのバンプと不良半導体チップの接続電極9が接触しても、不良半導体チップのコア12への接続が電氣的に遮断されているために、不良半導体チップへの電源および、信号の電氣的接続は行われず、事前検査工程で電源ラインの短絡や信号ラインの短絡等のある不良半導体チップが異常な動作をすることはなく、良品半導体チップへの電氣的な悪影響を及ぼすことはない。

【0017】このようにして、切断後に薄膜シート6をウェーハ7からはがせば、保護された隣接半導体チップに全く影響を及ぼすことなく不良半導体チップの電氣的接続を確実に遮断することが可能となる。

【0018】ここで、薄膜シート6がない場合には、切りくず11が切断ライン13の周囲に飛び散り、不良半導体チップのみならず、隣接した良品半導体チップ上へも付着してしまう。

【0019】しかし、薄膜シート6をウェーハ7の表面に貼り付け、これらを同時に切断することにより、良品半導体チップ上への切りくず11は薄膜シート6の上に飛散するのみであり良品半導体チップ表面への付着を防ぐことができる。

【0020】更に、配線の切断時に切りくずや煙の発生に対して、薄膜シートによる保護とともに切断部付近に吸引ノズル14を設けて吸引を行えば、切りくずの薄膜シート上への付着をより一層防止することができる。

【0021】なお、レーザ光源1に用いる半導体レー

ザーとしては、切断する幅及び切断する部分の材質によってCO2レーザー、YAGレーザーを用いる。

【0022】レーザーの波長としては200nm～10μm程度でピーク出力が5W程度のものを用いる。

【0023】さらに、配線を切断する半導体チップのサイズや接続電極の配置によって、切断位置が離れている場合には、パルスレーザーを用い切断を行う。また、切断位置が近い場合には、CWレーザを用い連続的な線引きの切断を行い、ウェーハ全体で見た場合に効率よく切断を行うようにする。

【0024】なお、配線の切断にはレーザービームの代わりにフォーカスダイオンビームを用いても良い。

【0025】

【発明の効果】本発明の半導体ウェーハの接続電極及び表面保護層の上に薄膜シートを貼り付けた構成において、ウェーハ表面に貼り付けた薄膜の上からレーザビームを用いて配線を切断することにより、良品半導体チップへの切断くずの飛散を防ぎ、隣接チップへの悪影響無く電氣的な切断を確実に行うことができるようになる。

【0026】更に、薄膜シートによる保護とともに切断部付近に吸引ノズル14を設けた構成により、切りくずの薄膜シート上への付着をより一層防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における全体図

【図2】本発明の実施の形態における接続電極への配線を切断する個所を示す断面図

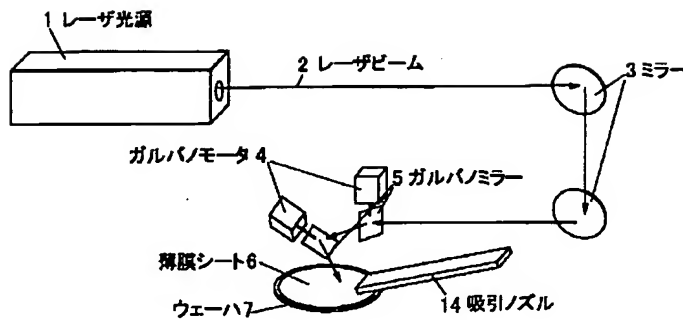
【図3】本発明の実施の形態における不良チップの切断個所を示す上面図

【図4】従来の不良チップ除外の方法を示す全体図

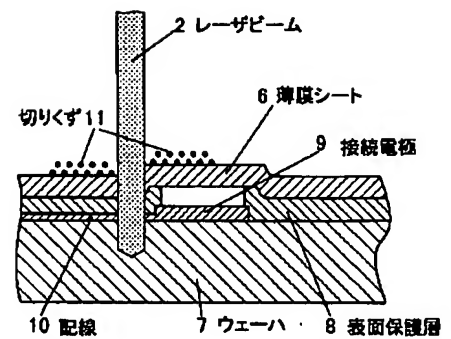
【符号の説明】

- 1 レーザ光源
- 2 レーザビーム
- 3 ミラー
- 4 ガルバノモータ
- 5 ガルバノミラー
- 6 薄膜シート
- 7 ウェーハ
- 8 表面保護層
- 9 接続電極
- 10 配線
- 11 切りくず
- 12 コア
- 13 切断ライン
- 14 吸引ダクト

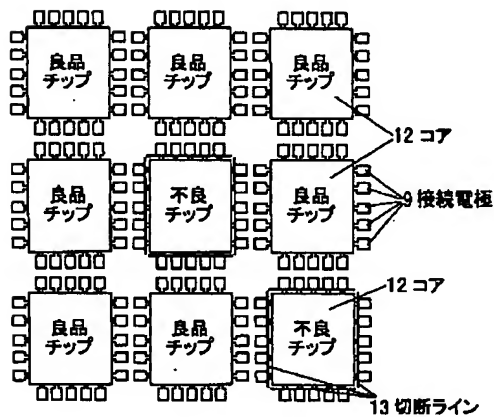
【図1】



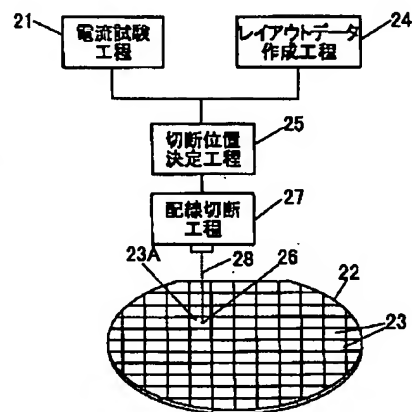
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 2G003 AA07 AC03 AF06 AG18 AH03
 4M106 AA01 BA14 CA01 CA56 CA60
 CA62 DH01 DH02 DH32 DH39
 DH60 DJ38